

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-324938
 (43)Date of publication of application : 25.11.1994

(51)Int.Cl. G06F 12/06
 G06F 15/78
 G11C 16/06

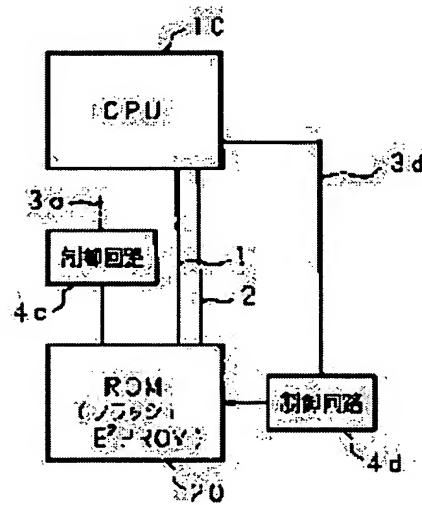
(21)Application number : 05-109156 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 11.05.1993 (72)Inventor : INOUE HIROHIKO

(54) ONE-CHIP MICROCOMPUTER

(57)Abstract:

PURPOSE: To suppress a chip area small by performing the operation of a RAM for storing the arithmetic result of a CPU or the like also by a ROM using an electric erase and write enable nonvolatile memory.

CONSTITUTION: A flash EEPROM is used for a ROM 20, a read control signal from a CPU 10 is outputted through a control signal line 3c to a control circuit 4c, a read address is outputted to an address bus 1, a series of operations for fetching an instruction from this address of the ROM 20 through a data bus 2 and executing it are repeated, on the other hand, when storing the arithmetic result of the CPU 10, a write control signal and a designating signal for an area to be erased are outputted through a control signal line 3d to a control circuit 4d, the designated area is erased, and the arithmetic result of the CPU 10 is stored.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against

examiner's decision of rejection]
[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-324938

(13) 公開日 平成6年(1994)11月26日

(51) Int.Cl.
G 06 F 12/08
15/78
G 11 C 16/06第20記号
5 6 0
5 1 0
A

T-T

技術表示箇所

G 11 C 17/00 3 0 9 'Z

審査請求・未請求・請求項の数2 OL (全4頁)

(21) 出願番号 特願平5-106156
(22) 出願日 平成5年(1993)5月11日(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号(72) 発明者 井上 博彦
兵庫県伊丹市福原4丁目1番地 三菱電機
株式会社北伊丹製作所内

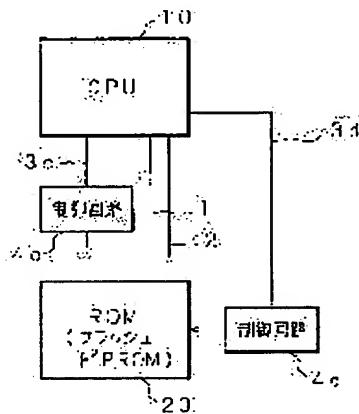
(74) 代理人 弁理士 高田 守

(54) 【発明の名称】 ワンチップマイクロコンピュータ

(57) 【要約】

【目的】 CPU の演算結果等を格納するRAM の書きを電気的消去書き込み可能な不揮発性メモリを用いたROM に兼用させてチップ面積を小さく知える。

【構成】 フラッシュ-E2 PROMをROM 20に用い、CPU 10からの読み出し制御信号を制御信号線3cを介して制御回路4cに出力するとともに読み出しあドレスをアドレスバス1に出力し、ROM 20のこのアドレスからデータバス2を介して命令を取り込み実行する一連の動作を繰り返す。一方、CPU 10の演算結果を格納する場合は書き込み制御信号及び消去すべき領域の指定信号を制御信号線3dを介して制御回路4dに出力し、指定した領域を消去してCPU 10の演算結果を格納する。



1. ドレスバス
2. データバス
- 3c, 3d: 制御信号

【特許請求の範囲】

【請求項1】 所定領域以外の領域が複数ブロックに分割された電気的消去書き込み可能なフラッシュ型不揮発性メモリからなるROMと、該ROMからデータ読み出しのみを行なうように制御する第1の制御回路と、該ROMの複数ブロックに分割された領域の所定ブロックを指定して該ブロックのデータを一齊に消去し、該ブロックに新たにデータを書き込む第2の制御回路と、第2の制御回路と前記複数ブロックとをそれぞれ接続する制御信号線とを備えたことを特徴とするワンチップマイクロコンピュータ。

【請求項2】 電気的消去書き込み可能な不揮発性メモリからなるROMと、該ROMからデータ読み出しのみを行なうように制御する第1の制御回路と、該所定領域以外の該ROMの領域に含まれる所定範囲を指定して該所定範囲のデータを消去し、新たにデータを書き込む第2の制御回路とを備えたことを特徴とするワンチップマイクロコンピュータ。

【発明の詳細な説明】

【0.0.0.1】

【産業上の利用分野】本発明は、EEPROMを内蔵するワンチップマイクロコンピュータ（以下、ワンチップマイコンと略記する）に関する。

【0.0.0.2】

【従来の技術】図1は従来のワンチップマイコンの構成を示すブロック図である。図中、10はCPU、30はEEPROMからなるプログラム格納用のROM、40はCPU10の演算結果を格納するRAMであって、CPU10とROM30、RAM40とはアドレスバス1及びデータバス2によってそれぞれ接続されている。また、CPU10は読み出し／書き込みの制御回路4aを介して制御信号線3aによりROM30と接続され、さらに、読み出し／書き込みの制御回路4bを介して制御信号線3bによりRAM40と接続される。

【0.0.0.3】次に、動作について説明する。プログラムの実行時、CPU10は読み出しを指示する制御信号を制御信号線3aに出力するとともに、実行すべき命令を格納されているROM30のアドレスをアドレスバス1に出力し、ROM30のそのアドレスからデータバス2を介して命令を取り込んで命令を実行するという一連の動作を繰り返してプログラムを実行する。

【0.0.0.4】CPU10はこの一連の動作の中で演算結果を格納する必要が生じると、書き込みを指示する制御信号を制御信号線3bに出力するとともに、演算結果を格納するRAM40のアドレスをアドレスバス1に出力し、RAM40のそのアドレスにデータバス2を介して演算結果を格納する。

【0.0.0.5】また、一連の動作の中GRAM40から演算結果を読み出す必要が生じると、CPU10は読み出しを指示する制御信号を制御信号線3aを介して制御回路4aに出力するとともに、読み出すべき演算結果が格納されている

RAM40のアドレスをアドレスバス1に出力し、RAM40のそのアドレスからデータバス2を介して演算結果を取り込む。

【0.0.0.6】

【発明が解決しようとする課題】以上のように、不揮発性メモリとしてEEPROMを内蔵する従来のワンチップマイコンでは、EEPROMがデータを電気的消去書き込みの不可能なメモリ素子であるので、プログラムを格納するROMと別に、CPUの演算結果を書き込むRAMを搭載する必要があつてチップ面積が大きくなるという問題がある。

【0.0.0.7】本発明はこののような問題点を解決するためになされたものであつて、電気的消去書き込み可能な不揮発性メモリをROMに用いることによりRAMを不要としてチップ面積を小さく抑えるワンチップマイコンの提供を目的とする。

【0.0.0.8】

【課題を解決するための手段】第1の発明に係るワンチップマイコンは、プログラム格納用等、消去書き込みを禁止したい所定領域以外の領域が複数ブロックに分割された電気的消去書き込み可能なフラッシュ型の不揮発性メモリをROMに用い、ROMからの読み出しのみを行なう第1の制御回路と、複数ブロックに分割された領域の所定のブロックに接続された制御信号線を介してこのブロックのデータを一齊に消去して新たにデータを書き込む第2の制御回路とを備えたことを特徴とする。

【0.0.0.9】第2の発明に係るワンチップマイコンは、電気的消去書き込み可能な不揮発性メモリをROMに用い、ROMからの読み出しのみを行なう第1の制御回路と、ROMのこの所定領域以外の領域の所定範囲のデータを消去して新たにデータを書き込む第2の制御回路とを備えたことを特徴とする。

【0.0.1.0】

【作用】第1の発明に係るワンチップマイコンは、第1の制御回路はROMからの読み出しのみを行なうように制御してプログラム等の格納領域の消去書き込みを禁止する一方、第2の制御回路は複数ブロックに分割されたROMの領域のブロックを、このブロックに接続された制御信号線を介して指定してデータを一齊に消去し、CPUの演算結果等のデータをこのブロックに書き込む。

【0.0.1.1】第2の発明に係るワンチップマイコンは、第1の制御回路はROMからのプログラム等読み出しのみを行うように制御してプログラム等の格納領域の消去書き込みを禁止する一方、第2の制御回路は所定領域以外の所定範囲を、例えばアドレスで指定してこの範囲のデータを消去し、CPUの演算結果等のデータをこの範囲に書き込む。

【0.0.1.2】

【実施例】以下、本発明をその実施例を示す図に基づいて説明する。

実施例1：図1は本発明に係るワンチップマイコンの構

成を示すブロック図である。図中、10はCPU、20はプログラム格納用領域及びCPU 10の演算結果格納用領域を有するフラッシュE2 PROMからなるROMであつて、CPU 10とROM 20とはアドレスバス1及びデータバス2によって接続されている。また、CPU 10は読み出し/書き込みの制御回路4cを介して制御信号線3cによりROM 20のプログラム格納用領域と接続され、さらに、読み出し/書き込みの制御回路4dを介して制御信号線3dによりROM 20の演算結果格納用領域と接続される。

【0013】図2は図1に示すワンチップマイコンの一実施例におけるROM 20の演算結果格納用領域及び制御回路4d近辺のブロック図である。ROM 20の演算結果格納用領域は4つのブロック（ブロック1～4）に分割されており、制御回路4dは各ブロックと制御信号線3dを介してそれぞれ接続されている。

【0014】次に、動作について説明する。プログラムの実行時、CPU 10は読み出しを指示する制御信号を制御信号線3cに出力するとともに、実行すべき命令が格納されているROM 20のアドレスをアドレスバス1に出力し、ROM 20のそのアドレスからデータバス2を介して命令を取り込んで命令を実行するという一連の動作を繰り返してプログラムを実行する。

【0015】CPU 10はこの一連の動作の中で演算結果を格納する必要が生じると、書き込みを指示する制御信号とともに、演算結果を格納すべく消去するROM 20のブロックを指定する信号を制御信号線3dに出力し、制御回路4dはこの信号を分析して消去すべきブロックに対して信号を出力してそのブロック内のデータを一斉消去する。その後、消去したブロックの先頭アドレスから最終アドレスへ、又は最終アドレスから先頭アドレスへ向けてCPU 10の演算結果を順次格納する。

【0016】また、一連の動作の中でROM 20から演算結果を読み出す必要が生じると、CPU 10は読み出しを指示する制御信号を制御信号線3cを介して制御回路4dに出力するとともに、読み出すべき演算結果が格納されているROM 20のアドレスをアドレスバス1に出力し、ROM 20のそのアドレスからデータバス2を介して演算結果を取り込む。

【0017】実施例2、図3は図1に示すワンチップマイコンの他の実施例におけるROM 20の演算結果格納用領

域及び制御回路4d近辺のブロック図である。本実施例では、制御回路4dとROM 20の演算結果格納用領域とは1本の制御信号線3dで接続されている。

【0018】次に、動作について説明する。なお、CPU 10の一連の動作は第1の実施例と同じであるので説明を省略する。CPU 10はこの一連の動作の中で演算結果を格納する必要が生じると、書き込みを指示する制御信号とともに、演算結果を格納すべく消去する範囲の先頭アドレスと最終アドレスとを制御信号線3dに出力し、制御回路4dはこの先頭アドレスと最終アドレスとを分解し、制御信号線3dを介してROM 20に消去すべき範囲の先頭アドレス（アドレスS）と最終アドレス（アドレスE）との制御信号を送り、アドレスSとアドレスEの間のデータを消去する。その後、消去した範囲の先頭アドレスから最終アドレスへ、又は最終アドレスから先頭アドレスへ向けてCPU 10の演算結果を順次格納する。

【0019】なお、一連の動作の中でROM 20の所定アドレスから演算結果を読み出す動作は実施例1と同様であるので説明を省略する。

【0020】

【発明の効果】以上のように、本発明のワンチップマイコンは、電気的消去書き込み可能な不揮発性メモリをROMに用いて、ROMの所定領域は読み出しのみを行なうよう制御し、この領域以外の領域へのデータ書き込みを可能とすることにより、RAMが不要となりチップ面積を小さく抑えるという優れた効果を奏す。

【図面の簡単な説明】

【図1】本発明に係るワンチップマイコンのブロック図である。

【図2】図1に示すワンチップマイコンの一実施例の一部ブロック図である。

【図3】図1に示すワンチップマイコンの他の実施例の一部ブロック図である。

【図4】従来のワンチップマイコンのブロック図である。

【符号の説明】

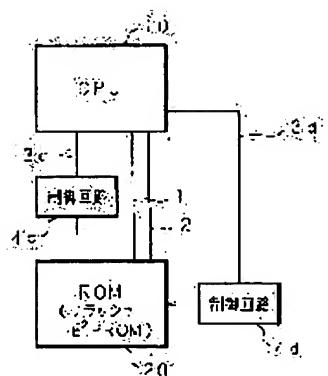
3c: 3d 制御信号線

4c, 4d 制御回路

10 CPU

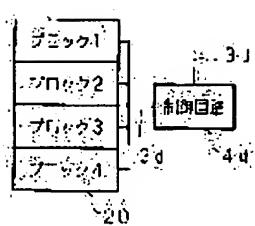
20 ROM

【図1】

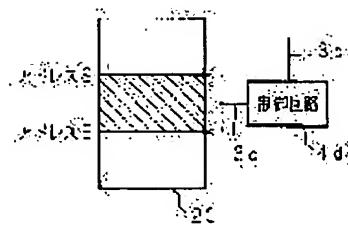


1:アドレスバス
2:データバス
3:制御信号バス

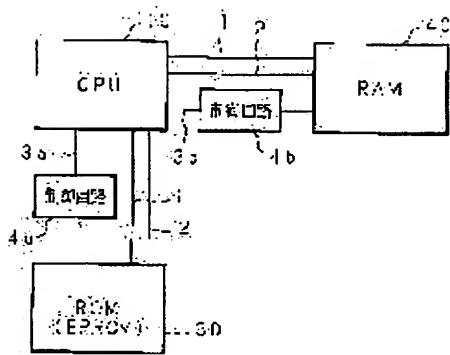
【図2】



【図3】



【図4】



【手続補正書】

【提出日】平成5年9月10日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】000.5

【補正方法】変更

【補正内容】

【000.5】また、一連の動作の中でRAM 40から演算結果

果を読み出す必要が生じると、CPU10は読み出しを指示する制御信号を制御信号線3dを介して制御回路4dに出力するとともに、読み出すべき演算結果が格納されているRAM 40のアドレスをアドレスバス1に出力し、RAM 40のそのアドレスからデータバス2を介して演算結果を取り込む。